

PAT-NO: JP362287071A
DOCUMENT-IDENTIFIER: JP 62287071 A
TITLE: SEMICONDUCTOR PRODUCING
APPARATUS
PUBN-DATE: December 12, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
OMI, TADAHIRO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OMI TADAHIRO	N/A

APPL-NO: JP61131188
APPL-DATE: June 6, 1986

INT-CL (IPC): C23C014/34 , H01L021/203 ,
H01L021/285 , H01L021/31

US-CL-CURRENT: 204/298.06

ABSTRACT:

PURPOSE: To obtain a high quality film at a high deposition rate without damaging a substrate by placing a high frequency power source and an exhaust unit and making it possible to apply DC bias to at least one of electrodes acting as a susceptor and a target.

CONSTITUTION: This semiconductor producing apparatus for depositing a thin film on the surface of a semiconductor substrate 103 is provided with a high frequency power source, an exhaust unit, a susceptor 104 and a target 101 made of a thin film forming material. The susceptor 104 is placed so as to hold the substrate 103 in the apparatus and desired DC bias is applied to the susceptor 104 and/or the target 101.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-287071

⑤Int.Cl.⁴

識別記号

庁内整理番号

④公開 昭和62年(1987)12月12日

C 23 C 14/34

8520-4K

H 01 L 21/203

7739-5F

21/285

Z-7638-5F

21/31

6708-5F

審査請求 未請求 発明の数 1 (全9頁)

⑥発明の名称 半導体製造装置

⑦特 願 昭61-131188

⑧出 願 昭61(1986)6月6日

⑨発 明 者 大 見 忠 弘 仙台市米ヶ袋2-1-17-301

⑩出 願 人 大 見 忠 弘 仙台市米ヶ袋2-1-17-301

⑪代 理 人 弁理士 福森 久夫 外1名

明細書

1 発明の名称 半導体製造装置

2 特許請求の範囲

1. 半導体基板表面に薄膜を堆積させる装置に於て、高周波電源と排気ユニットを備え、且つ、前記半導体基板を装置内にて保持するサセプタと、薄膜材料より構成されるターゲットの少なくとも一方に、所望の直流バイアスを印加できる様にしたことを特徴とする半導体製造装置。

2. 前記サセプタと前記ターゲットの両方に、それぞれ独立に所望の直流バイアスを印加できるようにした特許請求範囲第1項記載の半導体製造装置。

3. 前記高周波電源の発振周波数が100μHz以上である特許請求範囲第1項又は第2項記載の半導体装置の製造装置。

3 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造装置に係り、特に高品質な薄膜を高速度で堆積できるバイアス・スパ

ッタ装置を提供するものである。

(従来技術とその問題点)

現在、集積回路の配線材料の薄膜形成にはスパッタ法が広く用いられている。スパッタ法とは真空容器内にArガスを導入し、ターゲット材料を取り付けたカソードに直流または高周波電力を加えてグロー放電を発生させ成膜を行う方法である。グロー放電の結果、ターゲット表面はプラズマに対し負にバイアス(これを自己バイアスと呼ぶ)されるが、このバイアス電圧によって加速されたArイオンがターゲット表面にぶつかってターゲット材料をスパッタエッチングする。こうしてエッチングされた材料粒子は、対向して設置されたウェーハ上に堆積して成膜が行われる。これに対し、ターゲットだけでなく、ウェーハを取りつけるサセプタ自身にも高周波電力を加え、ウェーハ表面に膜の堆積を行うとともに、ウェーハ表面に形成された自己バイアスによってスパッタエッチングを同時に行うようにしたものが高周波バイアス・スパッタと呼ばれる方法である。第5図

に従来用いられている代表的なバイアス・スパッタ装置の断面構造の模式図を示す。501は例えばAlやSiO₂のターゲットであり、502はターゲットをとりつけてあるターゲット電極である。また503、504はそれぞれ半導体ウェーハ及びサセプタの電極である。ターゲット電極502及びサセプタ電極504にはそれぞれ整合回路を介して高周波電力が供給されており、真空容器505はアースされている。ここで高周波電源(RF電源)は、発振周波数13.56MHzのものをを用いるのが普通である。尚、実際の装置では、以上に述べた以外に、真空用の排気ユニットやガスの導入口、その他ウェーハの出し入れのための機構が設けられているが本図では簡単のために省略してある。

半導体ウェーハ503及びサセプタ504表面は、サセプタに加えられたRF電力のためにプラズマに対し負の自己バイアスがかかり、この電界で加速されたA⁺イオンがぶつかるため、堆積膜の一部が再びスパッタされる。本方法を用いる

と、機械的強度の優れた薄膜が得られる。また段差部に形成された膜がスパッタされやすいという性質を利用して表面形状の平坦な膜を形成できるという特徴ももっている。しかし、膜の堆積と同時にエッチングを行うため、成膜速度が著しく小さいという問題がある。さらに半導体ウェーハに自己バイアスで加速されたA⁺イオンが衝突するため、下地に損傷を与え素子の特性を劣化させるという半導体集積回路製造上重大な問題を生じている。これらの問題が、バイアス・スパッタ装置を実用化する上で大きな障害となっていた。

(発明の目的)

本発明は以上の点に鑑みなされたものであり、高品質の薄膜を十分に大きな成膜速度で、しかも下地基板に損傷を与えることなく形成できる半導体装置の製造装置を提供するものである。

(発明の概要)

本発明のバイアス・スパッタ装置は、高周波電源と排気ユニットを有し、サセプタとターゲットの両電極の少なくとも一方に直流バイアスを印加

3

できるようにしたことを特徴としている。

すなわち、本発明は、半導体基板表面に薄膜を堆積させる装置に於て、高周波電源と排気ユニットを備え、且つ、前記半導体基板を装置内に保持するサセプタと、薄膜材料より構成されるターゲットの少なくとも一方に、所望の直流バイアスを印加できる様にしたことを特徴とする半導体製造装置である。

(発明の実施例)

以下図面を用いて本発明の実施例を説明する。

なお、当然のことではあるが、本発明の範囲は以下の実施例により限定されるものではない。

第1図は、本発明の第1の実施例であるAl等の導電性材料のバイアス・スパッタ装置を示す模式図である。101は例えばAlのターゲットであり、ターゲット電極102上に取り付けられている。ターゲット電極には従来例(第5図)と同様に整合回路を介して高周波電力が加えられているが、その周波数は13.56MHzに替って例

4

えば100MHzのものが用いられている。更にターゲット電極は高周波をカットするフィルターを通して直流電源106につながれている。またシリコンウェーハ103及びサセプタ104はコンデンサ104'によって高周波的に接地され、且つ高周波フィルタを介して直流電源107につながれている。真空容器105はアースにつながれている。また108はマグネトロン放電のための永久磁石である。さらに装置には、真空容器を真空に引く排気ユニットや、ガスを導入する機構、さらにウェーハを出し入れする機構が設けられているが、ここには詳しく描かれていない。

最初に、高周波バイアス・スパッタリングにおいて成膜速度を大きくするための基本的な考え方を明らかにする。次に本発明によって、いかにして成膜速度を大きくすることに成功し、且つ半導体基板への損傷を極限にまで小さくできたかについて説明する。

サセプタ電極104に直流バイアスをかけない場合、即ち通常のスパッタリングによる成膜速度

は基本的に次式で表される。

$$\text{成膜速度} = A I_{\text{ion}} \cdot Y_s \cdot f \cdots (1)$$

ここで I_{ion} はターゲットに流れ込むイオン電流でありプラズマのイオン密度に比例している。 Y_s は $A r$ イオンによる $A l$ のスパッタ率で、第2図(a)に示したように入射 $A r$ イオンの運動エネルギーのみによって決まる量であることが分る。ただし、このデータは $A l$ 表面が清浄な状態、すなわち $A l_2 O_3$ 等の絶縁膜が存在しない状態の時にだけ正しい。尚、同図のデータは、Lagreed and Wehner のデータ (印で示す) 及び Weissenfeld のデータ (印で示す) を同じグラフにまとめ直したものであるが、よく一つの直線にのっていることが分る。 f はスパッタされた $A l$ 原子がウェーハ上まで飛んで来る確率であり1次近似として、

$$f = B (1 - C (L/\lambda)) \cdots (2)$$

で表されると考えられる。ここで B, C は定数である。 λ はガス分子の平均自由工程であり、 λ が電極間間隔 L にくらべて十分大きい ($\lambda \gg L$) と

き第2項は無視できて $P = B$ (定数) となり装置の構造だけで決まる量となる。式(2)の λ は本来はスパッタされる原子の平均自由工程を取るべきであるが、スパッタ原子が衝突散乱される相手は殆どすべてガス分子であるため、その平均自由工程を取っている。逆に $\lambda \leq L$ となると、スパッタされた $A l$ はウェーハに到着するまでに $A r$ の中性分子等との衝突により散乱され、それだけウェーハへの到達確率が小さくなる。

$\lambda \propto P$ (ガスの圧力) なので結局(2)式は

$$f = B (1 - C' P), \quad C' = \text{定数} \quad (3)$$

と表され、 P を小さくする程 f を大きくできることが分る。結局(1)式で表される成膜速度を大きくするには、 I_{ion}, Y_s, f のそれぞれを大きくしなければならない。即ちそれぞれに対応して、

I, プラズマの高密度化

II, $A r$ イオンのターゲット上への加速電圧の増大

III, ガス圧力の低圧化

7

の3つの要件を達成する必要がある。

さて(1)式に基く考え方が正しいことを実験データを参照しながら次に示す。第2図(b)は成膜速度/ I_{ion} で定義される成膜係数 (η) を V_1 の関数としてプロットしたものである。今、圧力は一定だから(1)式より

$$\eta \propto Y_s, \text{ 即ち, } \eta \propto |V_1 - V_{th}|$$

となるが、同図は正しくその結果を示している。ただし、 V_{th} は $A l$ が $A r$ イオンによりスパッタされ始める電圧 ($\approx 50 V$) である。RF電力の変化はプラズマ密度を変化させるが、 η は I_{ion} で規格化された値であるため同図は当然のことながら電力に依存しない特性となっている。

また第2図(c)は、 $\eta - V_1$ 特性が圧力 P によってどのように変化するかを示している。圧力が $8 \times 10^{-3} \text{ Torr}$ から $5 \times 10^{-3} \text{ Torr}$, $3 \times 10^{-3} \text{ Torr}$ と減少して行くに従って η の増大しているのが分る。 $3 \times 10^{-3} \text{ Torr}$ と $1 \times 10^{-3} \text{ Torr}$ は殆ど差がない。これは(3)式から予想される通りである。尚 $8 \times 10^{-3} \text{ Torr}$ における

8

$A r$ の平均自由工程は常温で約 1 cm であり、典型的な装置の大きさ (この装置の場合 3 cm) にくらべて小さく、(2)式の第2項が無視できない領域である。 $3 \times 10^{-3} \text{ Torr}$ になると、電極間隔と $A r$ の平均自由工程が略々等しくなり、それ以下の真空度たとえば $1 \times 10^{-3} \text{ Torr}$ では成膜係数 η は飽和している。

以上の議論をもとに第1図に示した本発明の一実施例なるバイアススパッタ装置についてその動作原理を説明する。

第2図(d)は放電状態における、ターゲット電極102、サセプタ電極104間の電位分布の様子を模式的に示したものである。ここで V_1, V_2 は第1図における直流電源107, 106の出力電圧であり、通常負の値を用いる。また V_p はプラズマポテンシャルである。従来技術では、 $V_p + |V_1|, V_p + |V_2|$ 等の電位差は自己バイアスと呼ばれ、電極102, 104や容器105の形状、 $A r$ ガスの圧力、高周波電力や周波数等によって変化するものであり、これらの条

件の組合せで決まる値であつた。従つて任意の値に設定することはできなかったが本発明では V_1 、 V_2 等は外部の電源より与えているため、所望の値に任意に決定することが可能となった。つまり $|V_1|$ を大きくすることで上記(II)の要件を満足し、スパッタ率を大きくして成膜速度を増大させることが可能となった。更に本発明の実施例では要件の(I)、(III)を同時に満足させるため、磁石108を用いてマグネトロン放電を起こし、しかも高周波電源に100 μ Hzの高周波を用いているため低圧力下でも効率よくイオンを生成し、プラズマを高密度化している。以上述べたように本発明の装置はI、II、IIIのすべての要件を満たすことにより膜の堆積速度を大きくすることに成功した。第2図(c)のデータでは $V_1 = -500$ Volt、 $P = 3 \times 10^{-3}$ に対し $\eta = 7 \text{ \AA} / \text{min} \cdot \text{mA}$ 程度であり、このときの $I_{\text{ion}} = 110 \text{ mA}$ であることから成膜速度は $770 \text{ \AA} / \text{min}$ 程度である。ターゲットに流れ込むイオン電流密度は $3.4 \text{ mA} / \text{cm}^2$ である。これは、真

空容器やガスを供給する配管系からくる、 H_2O の残留ガス成分によりスパッタ中にターゲットの表面が酸化されてアルミナ (Al_2O_3) 層が形成され、スパッタ率 η が10%程度に落ちていたためである。こうした高真空対応の装置ではチャンバ内に流れ込むガス流量はきわめて少ない。そのため、配管系管壁からの水分の混入の割合が多くなる。純化Arの水分量は0.3ppmであるが、チャンバでは0.5%程度になっていた。その後これらの系のベーキングを十分に行い配管系に工夫を加えることによってほとんどの吸着ガスを取り除いた状態で成膜した結果、 $2000 \sim 3000 \text{ \AA} / \text{min}$ 程度の成膜速度が得られている。更に V_1 を大きくしたり、高周波電力を上げてイオン密度を高くしたり、あるいは磁界強度を強くしてイオン化率を高くすることでもっと大きな速度を得ることも可能である。以上で本発明によってスパッタリングによる成膜速度を従来にくらべて著しく増大させられることは明らかになった。

次に、バイアス・スパッタを行った場合に半導

1 1

体基板への損傷を著しく低減できたことについて述べる。従来法では、スパッタ率増加のため $V_p + |V_1|$ を大きくするには高周波電力やガス圧などを変化させ自己バイアスの値を大きくするしかなかった。この場合基板にかかる自己バイアス $V_p + |V_2|$ も連動して大きくなり、結局成膜速度を上げようと思えば、基板への損傷も増加する結果となっていた。しかるに本発明では V_1 、 V_2 をともに独立に任意の値に設定できるため V_1 を大きく、且つ V_2 を適度な値に保つことにより成膜速度を大きくできると同時に基板への損傷を小さくできた訳である。

本発明のもう一つの大きな特徴は高周波電源の周波数を従来の13.56 μ Hzから100 μ Hzに高くしたことである。この結果、プラズマ中のイオンの運動エネルギー分布の幅が従来の場合(13.56 μ Hz)の約1/10以下にまで小さくすることができた。第3図のデータはこの事実を物語る一例である。同図はターゲット電極の電流電圧特性を3つの異った周波数に対してとつ

1 2

たものである。電流値がゼロとなるバイアス値が自己バイアスの値に等しい。ここではターゲットに流れ込むArイオンと電子の数が等しく、バランスしているため電流がゼロとなるのである。バイアス値(V_1)を自己バイアスの値より負側に大きくしてやると正のArイオンの電流はほとんど変化しないが、電子に対するポテンシャルバリエーションが高くなるため電子の流入が減少しその結果電流が増加する。例えば100 μ Hzの特性をみると-120Vより負のバイアス値ではイオン電流だけの一定値となっている。これに対し40.68 μ Hzの特性では-400V以上にバリエーションを高くしてはじめて電子の流入が0となっている。これらの結果から周波数が高い程電子のエネルギー分布は平均値が小さくなり且つ分布がシャープになっていることが分る。電子はプラズマ中でArと弾性及び非弾性衝突を繰り返した結果、あるエネルギー分布をもっており、その分布はとりも直さずArの原子及びイオンの運動エネルギー分布を反映していると言える。即ち、プラズマ中の

イオンのエネルギー分布も周波数が高い程平均値、分布の幅がりとともに小さくなっていることを第3図は示している。

このことは非常に重要である。今A r イオンの運動エネルギーの平均値を \bar{E}_{ion} 、エネルギーの平均値からのずれを ΔE_{ion} と表すと、ウェーハにぶつかる際のA r イオンの運動エネルギーは $\bar{E}_{ion} + \Delta E_{ion} + q(V_1 + V_2)$ となる。従って従来の周波数(13.56 μ Hz)で放電させている限り V_2 をいくら小さくしてもある確率で ΔE_{ion} の大きなA r イオンが入射するため、ウェーハ表面に大きな衝撃を与える。平均運動エネルギー値から大幅にずれたエネルギーを持ったイオンが多数存在するため、サセプタ電極に加える電圧 V_2 をいくら小さくしても、ウェーハに損傷を与えるエネルギーの大きなイオンがウェーハに流れ込んでいたのである。即ち V_2 を小さくするだけではウェーハへの損傷は避けることができない。しかるに本発明の装置では、基板に入射するA r イオンの E_{ion} はその分布の幅が従来の1/10

1 5

できてはじめて成膜速度の増大と損傷の低減が同時に可能となったのである。

本発明の基本的考え方をまとめると、低圧力下で可能な限り効率よくプラズマを発生させ、これらを外部より与えた十分大きな直流電界で加速し効率よくターゲットをスパッタすると同時に、半導体基板に到着A r イオンは、そのエネルギー分布を十分狭くした上で、外部より与えた直流電圧によってそのエネルギーを精度よくコントロールし、半導体ウェーハ表面に供給することにより、基板の損傷低減だけでなく形成された膜の高品質化も計るものである。

更にシリコン基板上に単結晶のA l 薄膜も形成できるようになった。即ち正しい結晶サイトに着いたA l 原子とそうでない原子の結合エネルギーの差に着目し、後者のみを再スパッタするよう前述の V_2 を調整することにより、正しい結晶サイトにのみA l 原子を積み上げて行けるからである。正常な結晶位置に存在するA l 原子50 eV程度以上のA r イオンが衝突しなければスパッタされ

1 7

程度以下と小さくなっているため、エネルギー値にバラツキがなくほとんど同じエネルギーでウェーハ表面に到達する。即ち V_2 の調整によって、ほとんどすべてのA r イオンを所望の運動エネルギーでウェーハ表面にぶつけることができるのである。この事実によって、ほとんどシリコン基板に損傷を与えることなくバイアススパッタを行うことが可能になった。その結果、従来問題となっていたようなM O S トランジスタの閾値をシフトさせたり、あるいはゲート酸化膜中の電子のトラップ濃度を増加させ、ホットエレクトロン注入による特性の不安定性を招く問題も解決できた。このようにしてL S I の信頼性を著しく向上させることができた。

ここで注意しておきたいのは従来法では、例え周波数を高くしても同様の効果は得られないということである。第3図より明らかなように、周波数を大きくすると自己バイアス値($I_T = 0$ となる V_T)が小さくなりスパッタ率を小さくしてしまうからである。本発明の様に、 V_1 を独立に制御

1 6

ない。ところがランダムに表面に吸着したA l 原子は、それよりも低いA r イオン衝突でスパッタされてしまうのである。こうして得られたA l 膜は、エレクトロマイグレーションによる配線の寿命が非常に大きく、またS i との界面で生じるスパイク現象も500℃のアニールでも生じないなど、配線材料として非常に優れた特性をもっている。

以上本発明の一実施例を述べたが、本発明は第1図の構成に限定されることはない。例えば直流電源106, 107はどちらか一方を省略してももちろんかまわない。例えば自己バイアスで十分なスパッタ率が得られる場合には106を省略してもよい。また例えば基板の損傷を問題にしない場合は107を省略してもよい。

またターゲット電極102裏面に設置した磁石108は第1図に示した構成に限ることはない。たとえば第4図の本発明の第2の実施例に示したように強力な競争路形磁石409を設置し均一性を上げるために走査を行ってもよい。この場合、

1 8

例えば第4図に示したように走査系410を真空容器405の外に出しておけば反応系が機械的な動作から生じる発じんにより汚染されることが妨げて好都合である。また不必要ならば磁石108を省略しても、もちろん本発明の主旨から逸脱することはない。

またここで述べたRF周波数100μHzはあくまで一例でありこれにこだわる必要はない。しかしここで述べたイオンのエネルギー分布を制御する目的から言えば100μHz以上の高周波を用いるのがよいことは言うまでもない。

また基板への損傷をさらに小さくするため例えば次の様な方法をとることも可能である。例えばコンタクトホールを介してシリコン表面にAlなどの金属を堆積させる場合、まず最初の数10Å～100Å程度の膜が形成される間はシリコン基板のバイアスをゼロとして再スパッタしないのでつけ、その後、バイアス・スパッタに切りかえる方式である。こうすればシリコン表面の出ている間は再スパッタを行わず、表面に薄膜が形成されて

からスパッタを開始するため基板シリコンへの損傷をほとんど0とすることが可能である。

以上ターゲットとしてはAlの場合のみを例にとって述べたが、これに限ることはなく、例えばAl-Si, Al-Si-Cu等の合金、MoSi, WSi₂, TaSi₂, TiSi₂他のシリサイド、WやMoのメタル、SiO₂, Al₂O₃, Si₃N₄他の絶縁膜など、他のいかなる材料の堆積に用いてもよいことは言うまでもない。

(発明の効果)

本発明によれば、基板への損傷を生じることなく、大きな堆積速度で膜を形成し、しかも高品質の膜を容易に得ることが可能となった。

4 図面の簡単な説明

第1図は本発明の第1の実施例を示す装置の模式図、第2図はポテンシャル分布を表すグラフ、第3図はターゲットの電流電圧特性の実験データを示すグラフ、第4図は本発明の第2の実施例を示す模式図、第5図は従来例を表す模式図である。

19

ある。

101, 401, 501.....ターゲット

102, 402, 502.....ターゲット電

極

103, 403, 503.....ウェーハ

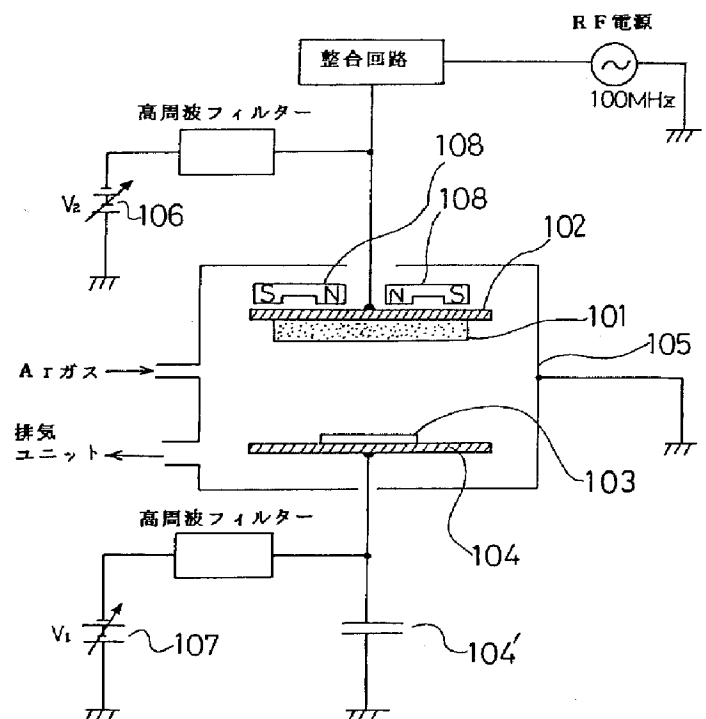
104, 404, 504.....サセプタ

105, 405, 505.....真空容器

106, 107.....直流電源

20

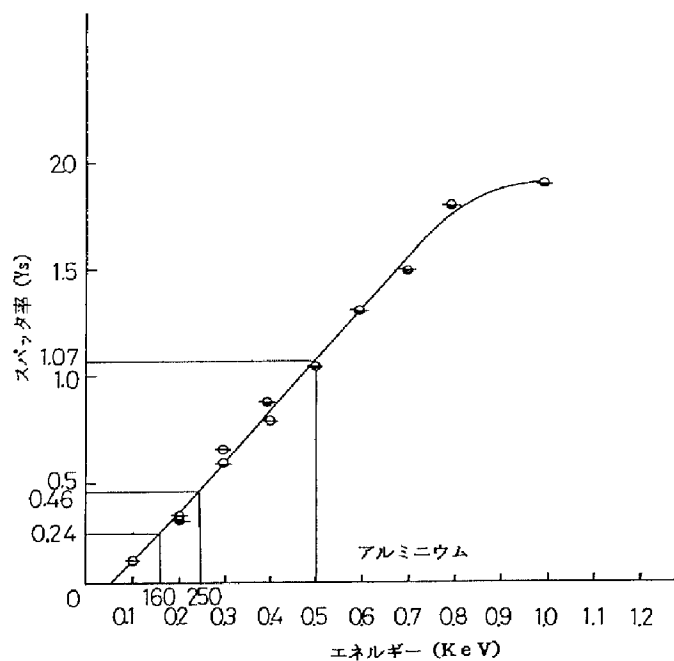
第1図



21

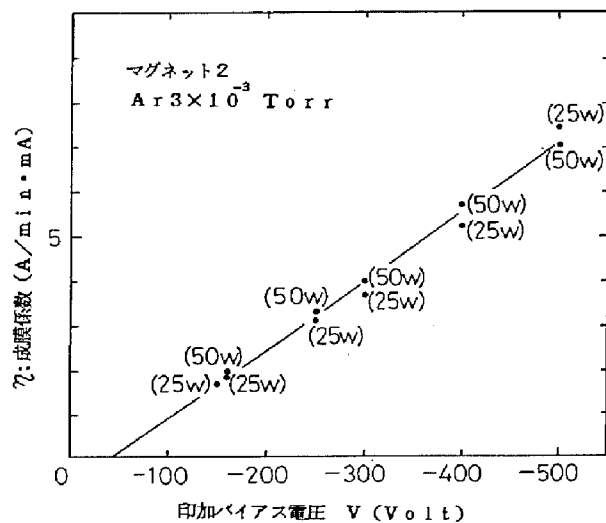
第 2 図

(a)



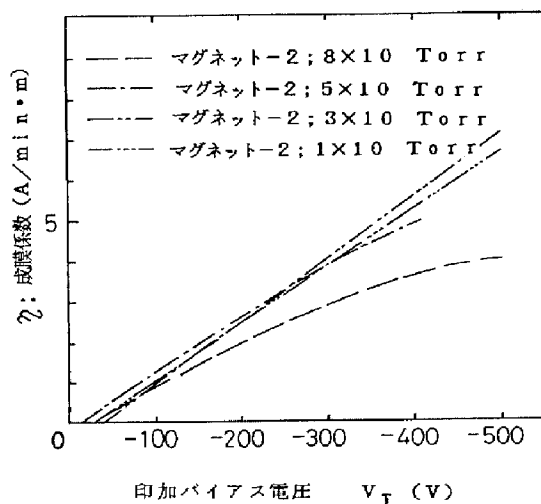
第 2 図

(b)



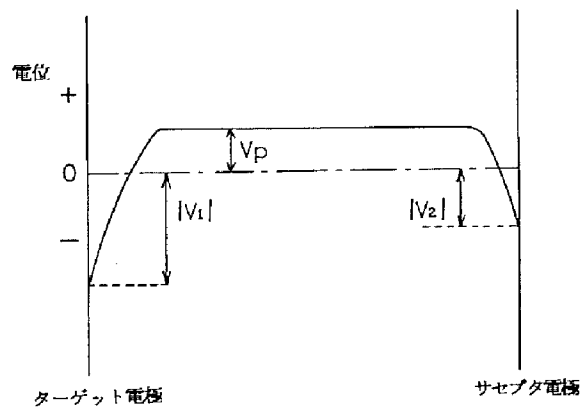
第 2 図

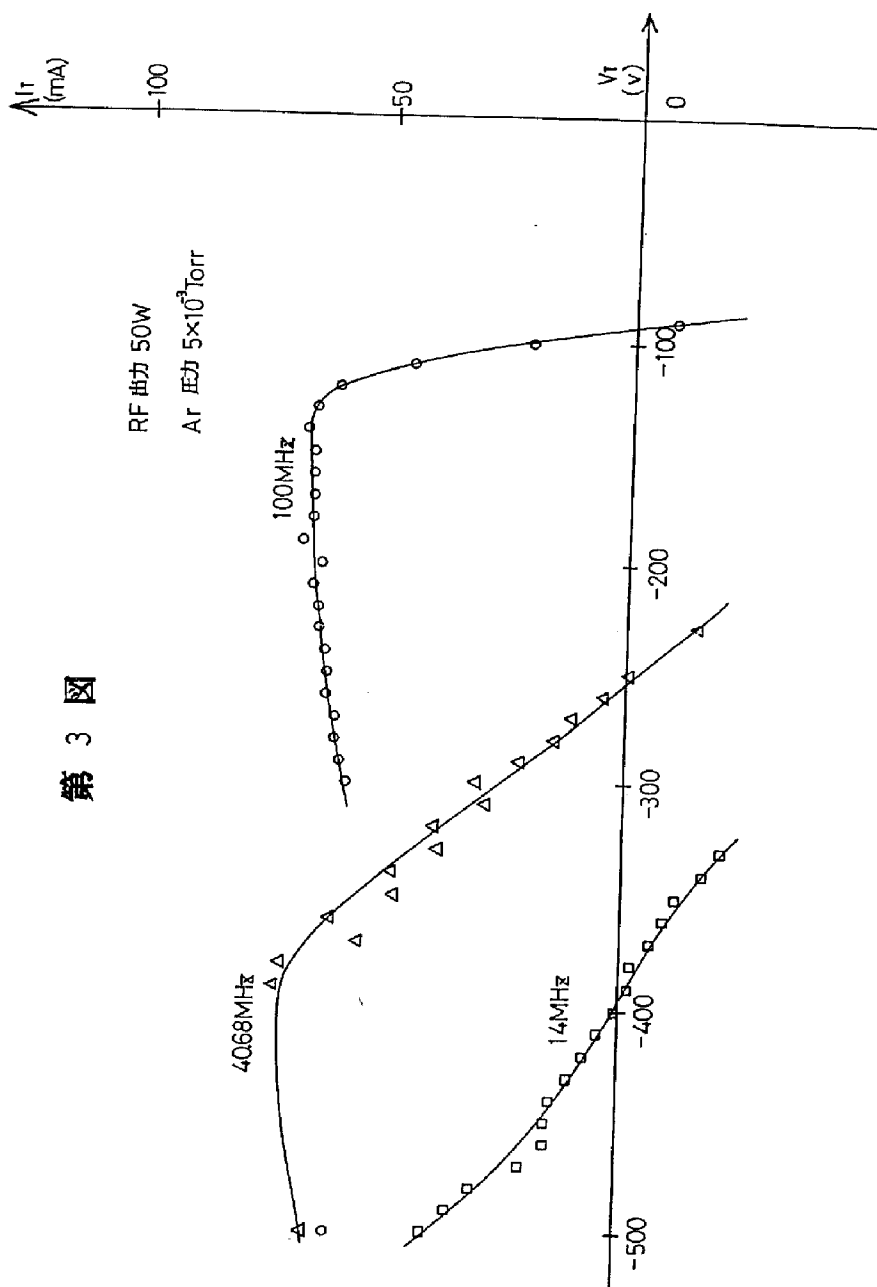
(c)



第 2 図

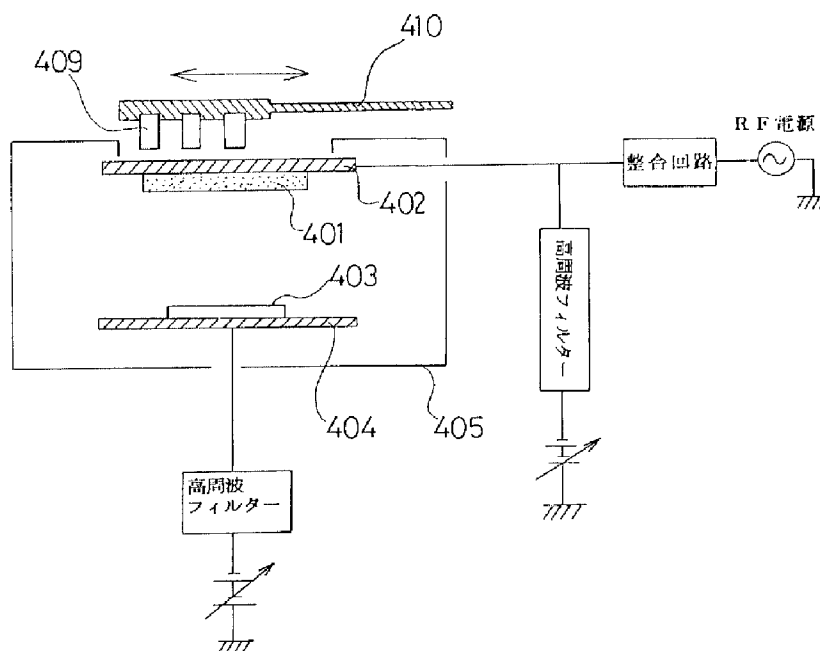
(d)





第 3 図

第 4 図



第 5 図

